申请人：之江实验室，浙江大学

发明人：黄科杰 章烨炜 沈海斌

第一发明人身份证号：330222198007126952

专利负责老师：黄科杰17706443800；huangkejie@zju.edu.cn

联系人电话及邮箱：章烨炜17816855041 [21831044@zju.edu.cn](mailto:21831044@zju.edu.cn)

寄信地址及邮编：浙江大学玉泉校区老生仪楼3楼 邮编310027

**专利申请提交的技术交底材料**

**申请发明或者实用新型专利应提交交底材料应包括以下内容：**　　一、名称  
　　一种被动稳压电路实现的高线性度神经形态计算电路。

二、技术领域  
　　本发明属于神经形态计算领域，涉及一种基于被动稳压电路的多位并行二进制神经形态计算电路。

　　三、背景技术

在过去的十年里，随着物联网、云计算、计算机视觉和人工智能结合得越来越紧密，传感设备将成为智能产品连接现实世界的关键接口。然而由于大量的传感数据的产生，数据的传输以及计算也将是一个巨大的挑战。传统的智能系统因为数据的采集、处理和分析的分离处理有着构建成本高，能耗高，能耗效率低，延迟高等问题。为了解决这些问题，我们需要将部分的人工智能的计算放到轻量级的物联网设备上。然而，摩尔定律即将失效，处理器性能难以再通过半导体工艺的升级来得到足够的提升。因此我们需要新的硬件架构和软件算法来实现在有限计算能力和存储资源下的数据处理。

神经形态计算模仿人脑的结构，通过给存储器赋予计算功能，从而解决了神经网络计算时冯诺依曼结构存在的内存墙问题，是一种非常适合用于进行低功耗的神经网络处理芯片设计的异构计算方式。而高集成度和低功耗的新型阻值非易失性存储器(RRAM, Resistive Random-Access-Memory)是实现大规模并行的神经形态计算的最佳选择。通过控制RRAM的阻值,输入信号被整合转换为输出电压，从而实现了低功耗的并行乘加运算(MAC, Multiplication-and-Accumulation)。

现有的神经形态计算电路设计可以分为主动积分器实现和被动积分器实现两种。主动积分器实现的电路由于需要使用运算放大器进行读取电压的稳压，对于功耗的需求大大增加，使得计算效率大大下降。被动积分器则是利用无源器件进行电路设计从而去掉运算放大器，使功耗显著降低。然而使用被动积分器的电路在线性度上会有比较严重的问题。因此，本发明提出了一种利用被动稳压电路实现的被动积分器，能够在降低功耗的同时得到和主动积分器接近的线性度。

四、发明内容  
　　针对神经形态计算被动积分器的非线性度缺陷，本发明设计了一种新颖的利用被动稳压电路实现的积分计算电路，能够在低功耗计算的同时得到较高的线性度。

主动积分器由于要使用运算放大器作为稳压器（图1），在多位并行的神经形态计算中，多个运算放大器的使用使得电路的计算功耗大大增加。而去掉运算放大器进行单纯的基于1T1R（1 Transistor 1 RRAM）存储单元（图2）的积分虽然能降低功耗但是积分的线性度极大地受到了电容电压下降的影响，从而难以得到精度较高的计算结果。图3为本发明所提出的被动稳压电路实现的神经形态计算电路的架构，包括1R1T（1 RRAM 1 Transistor）二进制存储单元阵列，积分电容组，bit line电容电压隔离晶体管T0，被动稳压电路，积分时序控制开关。本发明的创新设计如下：

1. 通过交换1T1R存储单元中的RRAM和MOS管，可以让RRAM单元的读取电压主要由MOS的栅极电压和阈值电压决定。为了和传统的存储单元作区分，给这一新的存储单元结构命名为1R1T结构（图4）。
2. 1R1T结构中的积分电流（饱和电流）在积分过程中会因为电容电压的下降而受到沟道长度调制效应的影响。为了最小化电容电压的变化对积分电流的影响，本发明在bit line上增加了一个NMOS管T0来隔离电容电压和1R1T结构中MOS管的漏极电压，从而使积分电流更加稳定。
3. 因为bit line的负载是由word line的数量及要映射的权重值共同决定的，所以存在比较大的变化。而电路中T0的源极电压也会因为负载的变动受到影响，导致电路关于权重的线性度较差。因此，本发明提出一个被动稳压电路来保证T0的源电压在不同负载下的稳定性。

　　五、附图说明  
图1是主动积分器实现的神经形态计算电路结构图；

图2是1T1R存储单元结构图；

图3是本发明提出的被动稳压电路实现的神经形态计算电路结构图；

图4是1R1T存储单元结构图；

图5是本发明提出的神经形态计算积分电路原理图；

六、具体实施方式

下面结合附图对发明的具体实施方式做进一步的说明。

图5是本发明提出的被动稳压电路实现的神经形态计算电路原理图。其中每一个word line都用n个1R1T单元存储一个n bit位宽的权重。输入序列X1,X2,…,Xl 和权重W1,W2,…Wl的MAC结果可以表述为如下公式：

(1)

其中和 分别为Xi和Wi()的二进制形式。本发明使用n个积分电路来计算公式中的，对应的结果被存储在电容阵列中。这n个结果随后通过电容间的电荷重分配得到。而同时也通过积分电路电容阵列和ADC的采样电容间的电荷重分配来得到。为实现并行的乘累加运算以减小电路面积和计算时间，同一bit line的积分过程通过共用积分电容完成，且多个积分器电路同时工作将n bit输入从LSB（Least Significant Bit）到MSB（Most Significant Bit）逐bit地计算。在完成积分和重分配后，模拟计算结果通过ADC转为数字输出。

word line的输入逐bit串行送入阵列，MAC的计算过程包括积分阶段和电荷重分配阶段。积分阶段时，S2闭合，S1，S3和S4开路。积分阶段完成后，S1和 S2开路，S3和S4闭合进入电荷重分配阶段。以Cn-1所在的积分器为例，积分阶段后的电容电压为：

(2)

其中为的初始电压，Di为第i行word line的1bit输入，为乘法器的word line的数量，T为积分时间，Ri是第i行word line的1R1T单元的等效电阻，VD2是1R1T单元的漏电压。设计的电容满足下列约束：

(3)

假设只有一个word line且初始电压被设置为Vc-,那么在完成1bit输入的积分和电荷重分配后的积分电压Vs为：

(4)

ADC的采样电容CS与乘法器的积分电容阵列并联并在电荷重分配阶段实现将积分阵列的部分积结果进行加权求和。设置CS=Cf，则进行一次电荷重分配后新的Vout为：

(5)

其中表示CS之前的电容电压。假设CS的初始电压为Vinit,则经过n次的电荷重分配后电压变化值为：

(6)

其中是第n-1次积分后VS的积分电压，为第j次积分VS电压的变化值。通过将对应为的结果，公式(6)给出了的结果,即电路通过积分和电荷重分配得到了MAC的结果。

关于被动稳压电路，根据1R1T的结构，我们可以得到如下公式：

(7)

(8)

其中为管的器件参数，为其阈值电压，R为RRAM器件的电阻值，为电阻的读取电压，为通过1R1T单元的积分电流。根据公式(7)(8)我们可以得到：

(9)

由于T0将T2与电容电压隔离，T2的漏电压应满足以下公式：

(10)

其中为bit line的总积分电流，为T0的器件参数。本发明所提出的被动稳压电路通过使用负反馈的方式稳定1R1T单元的VD2电压。T1工作在饱和区，其满足如下公式：

(11)

其中K1为T1的器件参数，Vth1为T1的阈值电压，根据公式(10)(11)，我们可以得到

(12)

(13)

因为Iref是一个常数，所以1R1T单元的漏电压VD2被稳压电路稳定在一个较小的变化范围里。

以上实施例仅用于说明本发明的技术方案而非对其限制，尽管参照上述实施例对本发明进行了详细的说明，所属领域的普通技术人员应当理解；其依然可以对本发明的具体实施方式进行修改或者等同替换，而未脱离本发明精神和范围的任何修改或者等同替换，其均应涵盖在本发明的权利要求范围当中。

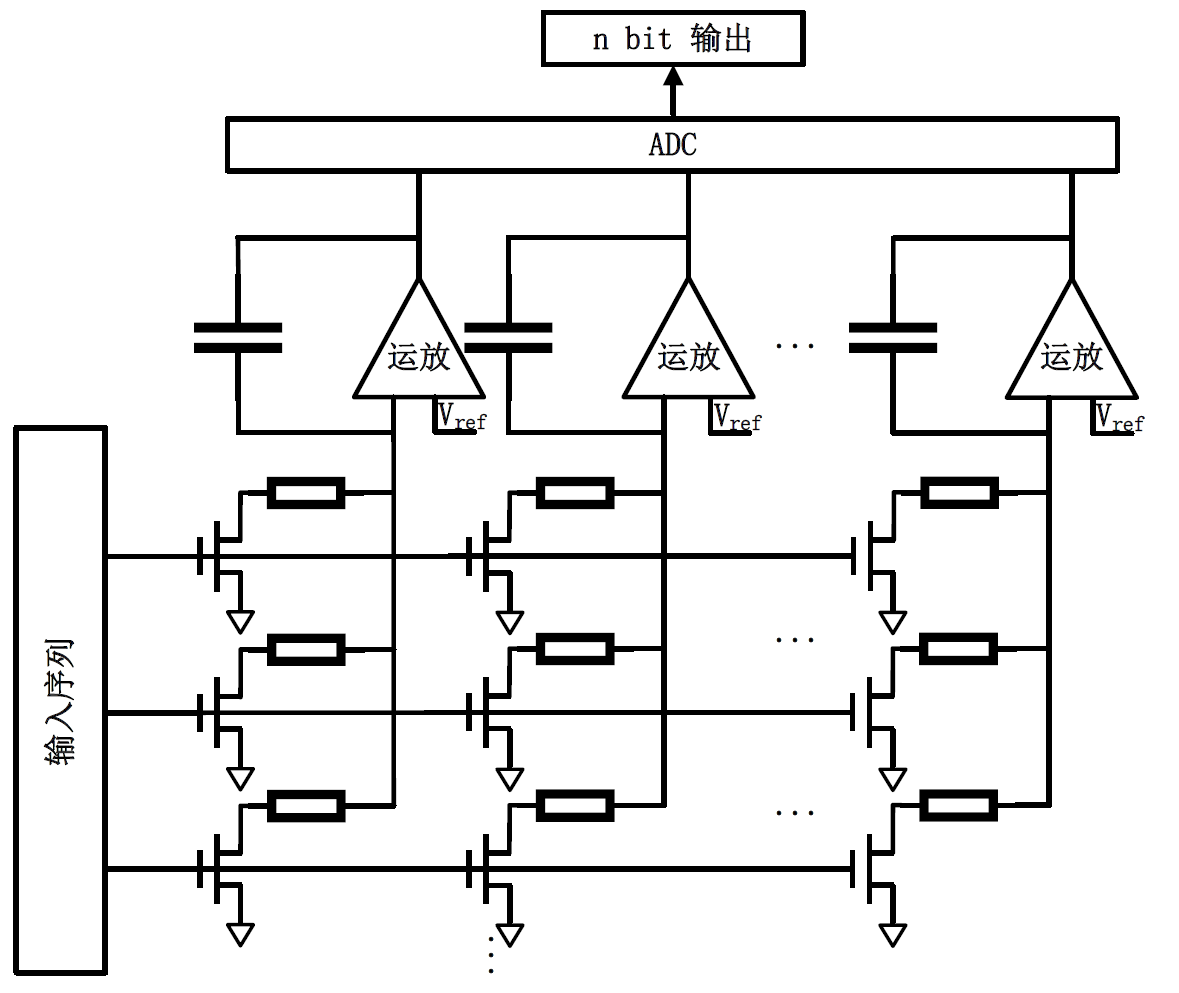


图1

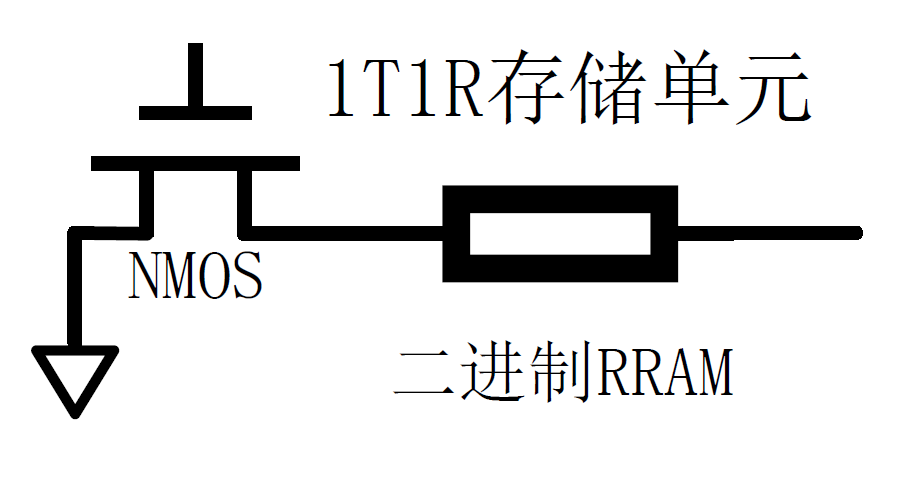


图2

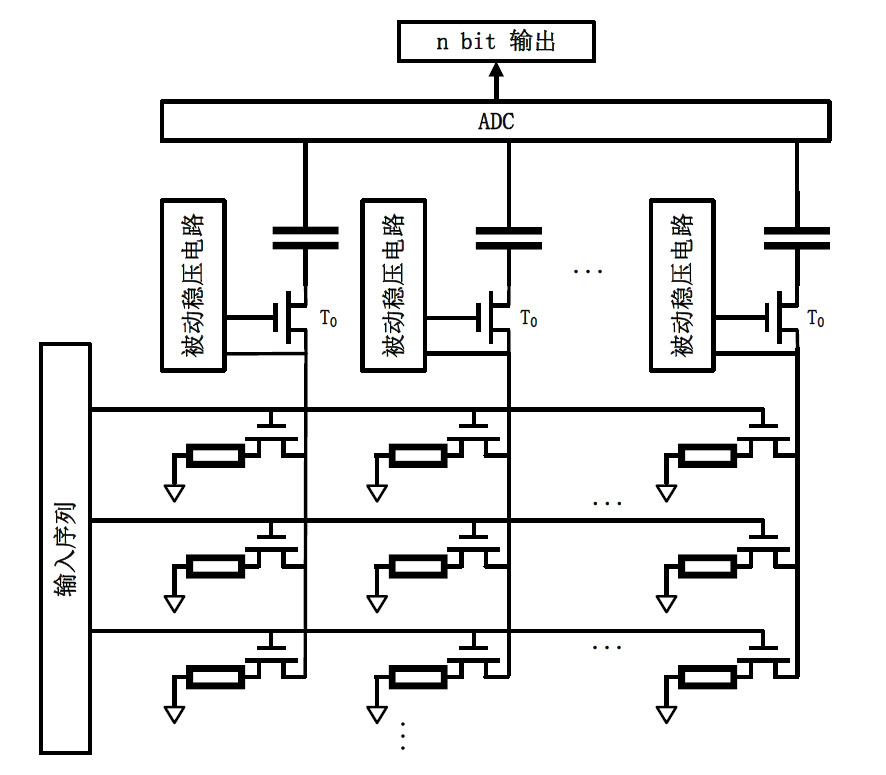


图3

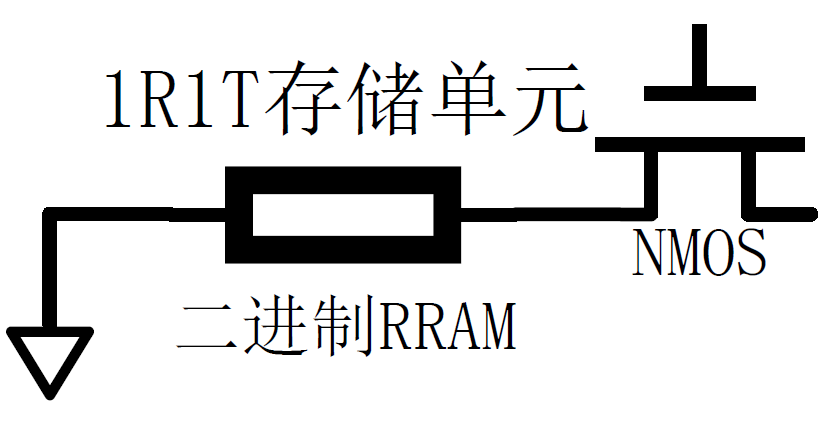


图4

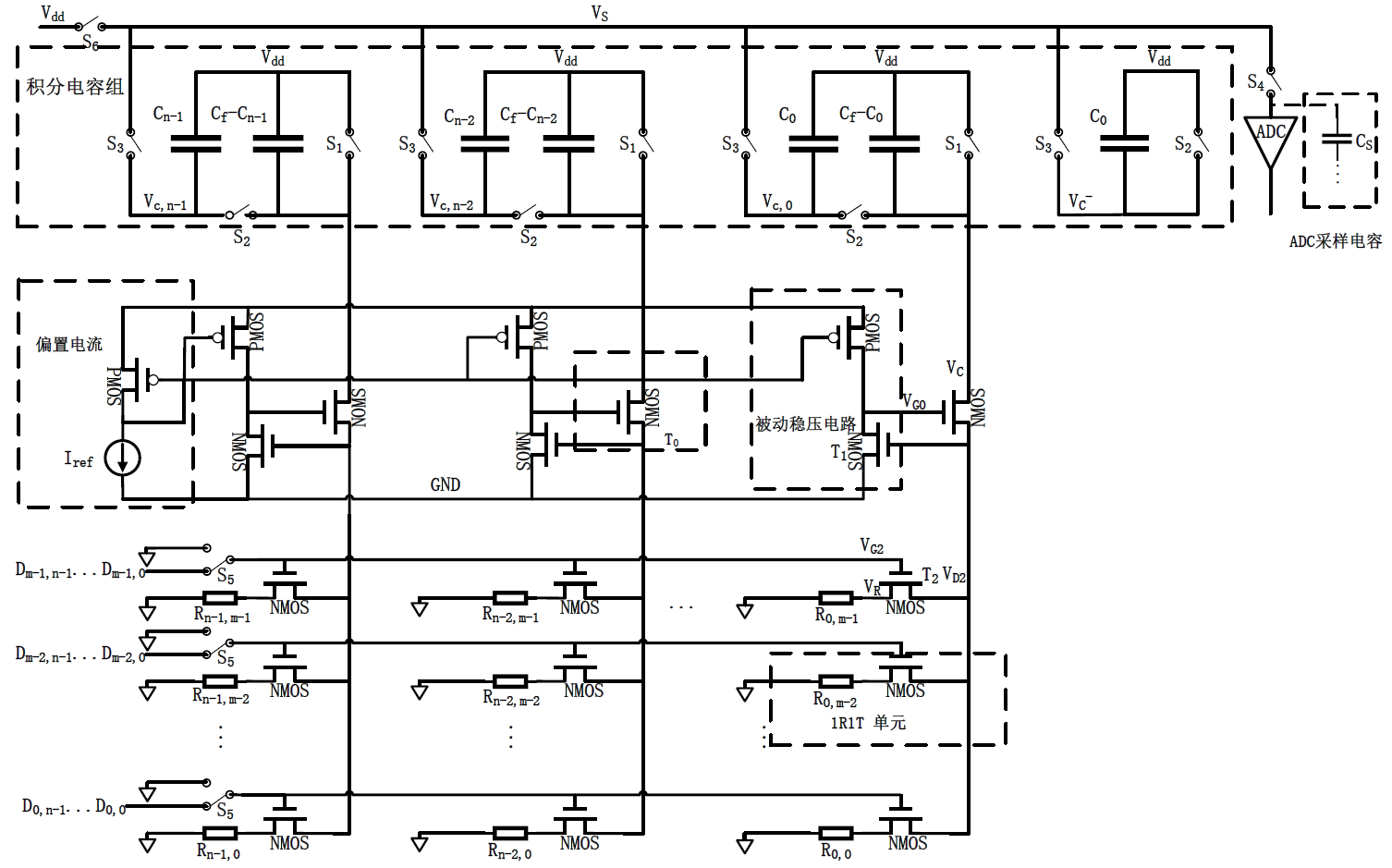


图5